

⑫ 公開特許公報(A)

昭61-53839

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)3月17日

H 04 B 3/14
H 03 H 17/00
H 03 K 4/02
5/01
H 04 L 25/12

6745-5K
8124-5J
7259-5J
7259-5J
7345-5K

審査請求 未請求 発明の数 1 (全 8 頁)

⑭ 発明の名称 波形整形装置

⑮ 特 願 昭59-175702

⑯ 出 願 昭59(1984)8月23日

⑰ 発 明 者	小 島 雄 一	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発 明 者	藤 田 悦 美	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 発 明 者	秀 島 泰 博	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑰ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑰ 代 理 人	弁理士 伊 藤 貞	外 1 名	

明 細 書

発 明 の 名 称 波形整形装置

特 許 請 求 の 範 囲

入力データが供給されるシフトレジスタと、該シフトレジスタの内容に重み付けを行う重み付け回路と、該重み付け回路の出力を所定量オフセットして2's コンプリメントで2進加算する加算回路と、該加算回路の出力を自然2進数又は2's コンプリメント2進数に変換する2進数変換回路とを具備して成る波形整形装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

この発明はベースバンドにおける波形の整形を行なう場合等に用いて好適な波形整形装置に関する。

〔従来技術〕

一般にデータ伝送においては、符号間干渉による符号誤りを最小とするため、ベースバンドの信号を、ナイキストの第1基準すなわちインパルス応答波形の時間軸上で等間隔零交差を満たすよう

に整形する、つまり波形等化する必要がある。

そして、精度を向上させるためにはデジタル回路による波形整形が望ましいが、従来のデジタル回路で構成した波形整形装置の場合、この波形整形装置内で行われる加算の結果が一方の極性側に片寄り、与えられたデータの語長を最大限に利用できない、つまりダイナミックレンジの有効利用が損なわれるという欠点があつた。

〔発明が解決しようとする問題点〕

この発明は斯る点に鑑みてなされたもので、与えられた語長を最大限に利用して加算を行い、ダイナミックレンジの有効利用を図ることができる波形整形装置を提供するものである。

〔問題点を解決するための手段〕

この発明による波形整形装置は入力データが供給されるシフトレジスタ(1)と、このシフトレジスタの内容に重み付けを行う重み付け回路(2)と、この重み付け回路の出力を所定量オフセットして2's コンプリメントで2進加算する加算回路(3)と、この加算回路の出力を自然数又は2's コンプリ

ント2進数に変換する2進数変換回路(4)とから成る。

〔作用〕

シフトレジスタにはデータレートの2倍の速度をもつたシフトクロックで入力データが順次取り込まれる。このシフトレジスタに取り込まれたデータは、重み付け回路により所定の重み付けがなされる。この重み付けされたデータは加算回路において、2's コンプリメントで2進加算される。その加算結果はそのままで一方の極性側に片寄り、与えられた語長が有効に利用されたことにならない。そこで、この加算回路で与えられた語長を最大限に活用する2進数の定義をして演算を行う。この演算結果は、上述の定義した2進数がその定義付けを行つた加算回路でのみ有効で次段の回路例えばD/A変換器では使えないので、そのD/A変換器で定義している2進数(自然2進数又は2's コンプリメント2進数)に2進数変換回路で変換を行う。

〔実施例〕

(3)

子(6)に供給されるクロックは入力端子(5)に供給される入力データより2倍の速度を有する。

このような構成の波形整形装置は、例えば第2図に示すような伝送系で使用される。すなわち、同図において、00は情報源からのデータが供給される入力端子、01は波形整形装置、02はD/A変換器、03はローパスフィルタ、04は変調器、05、06はバンドパスフィルタ、07は検波器、08はスライサ、09は出力端子である。そして、入力端子(1)からバンドパスフィルタ05までで送信側を構成し、バンドパスフィルタ06から出力端子09までで受信側を構成し、送信側と受信側は伝送路を介して相互接続される。

波形整形装置01は、受信側で復調されてローパスフィルタ04の出力側に得られるベースバンド信号が、ナイキストの第1基準を満たして符号間干渉による符号誤りを最小限とするように、各部における歪を補正する、つまり波形整形を行うように働く。勿論この波形整形装置01は受信側に設けてもよい。

(5)

以下、この発明の一実施例を第1図～第10図に基づいて詳しく説明する。

第1図はこの発明による波形整形装置の回路構成の一例を示すもので、同図において、(1)はシフトレジスタ、(2)はシフトレジスタ(1)のビット容量に対応して所定数例えばここでは(2₁)～(2₄)の重み付け要素から成る重み付け回路であつて、この重み付け回路(2)はシフトレジスタ(2)からの実質的にデータ"1"に対して正、負いずれかの重み付けを行う。

(3)は加算回路であつて、ここでは2's コンプリメントで2進加算を行うと共に後述されるように、与えられた語長を最大限に活用する2進数を定義して演算を行う。(4)は2進数変換回路であつて、加算回路(3)からの内容を次段の回路で定義している2進数に合わせるべく、自然2進数または2's コンプリメント2進数への変換を行う。また、(5)は入力データが供給される入力端子、(6)はシフトレジスタシフト用のクロックが供給されるクロック端子、(7)は出力端子である。なお、クロック端

(4)

次に、第1図の回路における重み付け及び加算の仕方を第3図を参照し乍ら説明する。

いま、入力端子(5)からのデータが第3図Aに示すようにシフトレジスタ(1)に取り込まれると、これに対して重み付け回路(2)において重み付けがなされる。重み付け要素(2₁)～(2₄)には夫々例えば1, 2, -1, 0の重み付け係数が設定されており、この各重み付け係数がシフトレジスタ(1)の各ビットと乗算される。その乗算結果は左より1, 0, 0, 0となるので、これを加算回路(3)において加算(2's コンプリメントで2進加算)すると、加算結果は1となる。次の(2つの)シフトクロックで、シフトレジスタ(1)の内容は第3図Bのように変り、これに上述同様重み付けを行うと、左よりその乗算結果は1, 2, 0, 0となる。これを加算回路(3)で加算すると、加算結果は3となる。以下同様にして重み付け、加算を行うと、その加算結果は第3図Cでは1、第3図Dでは-1、第3図Eでは0となる。この結果、加算回路(3)の出力側にはこの場合、第3図Fに示すような出力信号

(6)

が得られる。

重み付け回路(2)の各要素(2₁)～(2₄)としては、例えば第4図に示すような回路構成が用いられる。すなわち同図において、重み付け係数のビット数に対応し、例えば3ビットとすると、3個のスイッチ(21a)、(21b)及び(21c)が設けられ、これ等のスイッチ(21a)～(21c)の各一端は共通接続されて接地され、各他端は夫々アンド回路(22a)、(22b)及び(22c)の各一端に接続されると共に抵抗器(23a)、(23b)及び(23c)を介して正の電源端子+Vccに接続される。また、アンド回路(22a)～(22c)の各他端はシフトレジスタ(1)側に接続され、各出力端は夫々出力端子(24a)、(24b)及び(24c)に接続される。そして、出力端子(24a)～(24c)が加算回路(3)側に接続される。

ここで重み付け要素(2₂)の場合を考えると、その重み付け係数は2すなわち2's コンプリメント2進数で表わせば"010"であるので、スイッチ(21a)と(21c)がオンとされ、スイッチ(21b)がオフとされる。従つて、これに対応してアンド回

(7)

る。この結果出力端子(24a)、(24b)及び(24c)には"1"、"1"及び"1"のレベルをもつたデータ、つまり重み付け係数-1の付されたデータが得られる。

つまり、重み付け回路(2)は、入力データ"1"に対して正、負いずれかの重みの付されたデータを加算回路(3)に送ることになる。

加算回路(3)では、2's コンプリメントで2進加算を行い、その結果を2進数変換回路(4)側に送る。

さて、このような構成で問題となるのが、加算回路(3)におけるダイナミックレンジの有効利用率、つまり与えられた語長が最大限に利用されているかどうかと云うことである。

ここで、2's コンプリメント2進数は、3ビットの場合、第5図に示すように定義され、0をはさんで正側3レベル、負側4レベルを表現することができる。

しかしながら、このような回路で波形整形を行う場合、加算結果は正側に片寄り、負側の大きなレベルは出現しないため、与えられた語長を有効

(9)

路(22a)、(22b)及び(22c)の各一端のレベルは夫々"0"、"1"及び"0"となる。この状態で、シフトレジスタ(1)よりアンド回路(22a)、(22b)及び(22c)の各他端に"1"のレベルをもつたデータが供給されると、アンド回路(22b)のみがゲートを開き、アンド回路(22a)及び(22c)はゲートを閉じたままである。この結果出力端子(24a)、(24b)及び(24c)には"0"、"1"及び"0"のレベルをもつたデータ、つまり重み付け係数2の付されたデータが得られる。

また、重み付け要素(2₃)の場合を考えると、その重み付け係数は-1すなわち2's コンプリメント2進数で表わせば"111"であるので、スイッチ(21a)～(21c)が全てオフとされる。従つて、これに対応してアンド回路(22a)、(22b)及び(22c)の各一端のレベルは全て"1"、"1"及び"1"となる。この状態で、シフトレジスタ(1)よりアンド回路(22a)、(22b)及び(22c)の各他端に"1"のレベルをもつたデータが供給されるとアンド回路(22a)～(22c)の各ゲートが全て開くことにな

(8)

に利用したことにはならない。すなわち、語長の制限がないと仮定したときの加算結果は、例えば第6図に示すようなものとなり、正側に大きく片寄つたものとなる。

従つて、このような加算を有限語長の制限下で精度良く行うには、2's コンプリメント2進数と同様に通常の加算器で加算が行なえ、しかも正側にダイナミックレンジの広い2進数を定義し、構成することが必要となる。

このためには、通常の2's コンプリメント2進数をオフセットさせて定義すればよい。

例えば、第7図に示すように、(A)欄の通常の2's コンプリメント2進数の負側の下位の2つ"101"(-3)と"100"(-4)を正側の上位に持つて来て"101"(5)、"100"(4)と、(B)欄に示すように正側の最大値と負側の最小値の間で2進数を定義すれば、量子化ステップが細くなり、精度の向上を図ることができ、加算は通常の2's コンプリメント2進数の扱いで行なうことができる。

加算結果の正負の片寄りは、ロールオフ率や等

(10)

化しようとする歪の特性によつて異なる。従つて、2進数の定義にあつては、先ず語長制限がないものとして計算した重みを設定し、計算機によつて加算シミュレーションを行なつて片寄りの性質を調べ、しかるのち与えられた語長の能力を最大限に發揮できるようにオフセットレベルを定める、つまり、2進数を定義する。そして定義した2進数で表現される重みを決定する。なお、ここで定義した2進数は、この回路でのみ有効であるから、例えばD/A変換器12に接続する場合は、その前にD/A変換器12で定義している2進数に変換する必要がある。この変換を行なうのが2進数変換回路(4)である。

例えば、上述した第7図の場合、第8図に示すように加算結果である左欄に示す加算用2進数(第7図の(B)欄に相当)に"010"(2)を加算すると自然2進数に変換され、また"110"(-2)を加算すると2's コンプリメント2進数に変換される。つまり、第7図の(B)欄で定義した2進数(2's コンプリメント2進数)と第8図に示す自

01

フセットしているので-3("101")オフセットして通常の2's コンプリメント2進数に戻してやればよい。第9図はこのときの変換表を示したものである。

第10図は2進数変換回路(4)の一例を示すもので、同図において、(4a)、(4b)及び(4c)は加算回路(3)の出力(3ビット)が供給される入力端子、(4d)は加算器、(4e)、(4f)及び(4g)は変換された2進数が得られる出力端子である。また、変換の際に加算されるビット数に対応して所定数、例えば3個のスイッチ(4h)、(4i)及び(4j)が設けられ、これ等スイッチ(4h)～(4j)の各一端は共通接続されて接地され、その各他端は加算器(4d)の入力側に接続されると共に夫々抵抗器(4k)、(4l)及び(4m)を介して正の電源端子+Vccに接続される。

例えば第8図に示すような変換を行う場合、自然2進数への変換に際してはスイッチ(4h)と(4j)がオン、スイッチ(4i)がオフとされて"010"のレベルが加算器(4d)に供給され、入力端子(4a)～(4c)からの3ビットの加算結果と2進加算される。

02

然2進数とを比較すると、定義した2進数は自然2進数から見て-2だけオフセットしているのに等しく、従つて、自然2進数への変換に際しては上述の如く+2オフセットして元に戻してやるわけである。また、第7図の(A)欄の通常の2's コンプリメント2進数から第7図の(B)欄の2's コンプリメント2進数への変換付けは、+2だけオフセットしたので、通常の2's コンプリメントへの変換に際しては上述の如く-2オフセットして元に戻してやるわけである。

このことは他の場合に付いては同様に考えることができ、例えば第7図における(A)欄の通常の2's コンプリメント2進数より(B)欄の2's コンプリメント2進数を定義する際に、(A)欄の"110"(-2)をB欄の"110"(6)にもつて来て正側の最大値を"110"(6)、負側の最小値を"111"(-1)としたときの、自然2進数または2's コンプリメント2進数への変換は、前者の場合は-1だけオフセットしているので+1("001")オフセットして自然2進数に戻し、後者の場合は+3だけオ

03

また、通常の2's コンプリメント2進数への変換に際してはスイッチ(4h)と(4i)がオフ、スイッチ(4j)がオンとされて"110"のレベルが加算器(4d)に供給され、入力端子(4a)～(4c)からの3ビットの加算結果と加算される。

また、第9図に示すような変換を行う場合、自然2進数への変換に際してはスイッチ(4h)と(4i)がオン、スイッチ(4j)がオフとされて"001"のレベルが加算器(4d)に供給され、入力端子(4a)～(4c)からの3ビットの加算結果と2進加算される。また、通常の2's コンプリメント2進数への変換に際してはスイッチ(4h)と(4j)がオフ、スイッチ(4i)がオンとされて"101"のレベルが加算器(4d)に供給され、入力端子(4a)～(4c)からの3ビットの加算結果と加算される。

〔発明の効果〕

上述の如くこの発明によれば、重み付けされた情報に対して、与えられた語長を最大限に活用する2進数を定義して演算し、得られた結果を自然2進数又は2's コンプリメント2進数に変換する

04

ようにしたので、与えられた語長を最大限に利用して加算を行なうことができるようになり、ダイナミックレンジが最大限に有効利用されるので、計算精度が大幅に向上し、同等のハードウェア規模で最高の精度が実現される。

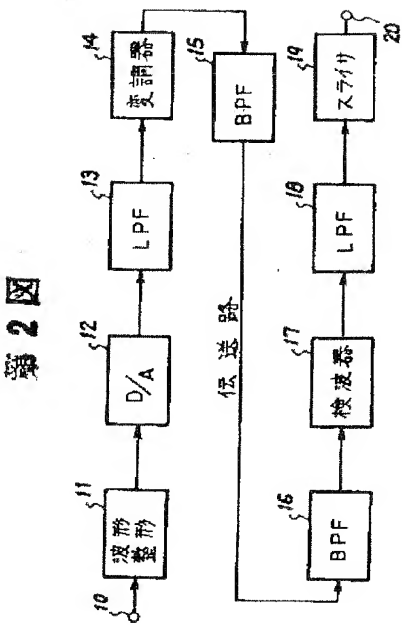
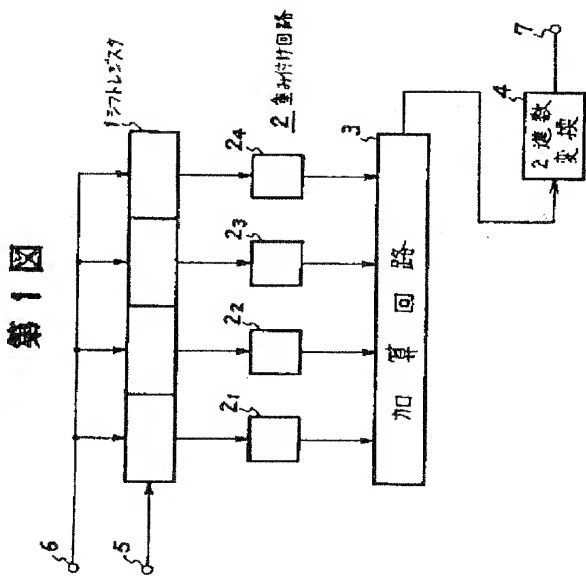
また、計算に最適な2進数の定義及びその定義による重みの設定が容易に行なえるため、同一のハードウェアでいくつもの種類のシステムに対して最適な波形整形が簡単に行なえるようになる。

図面の簡単な説明

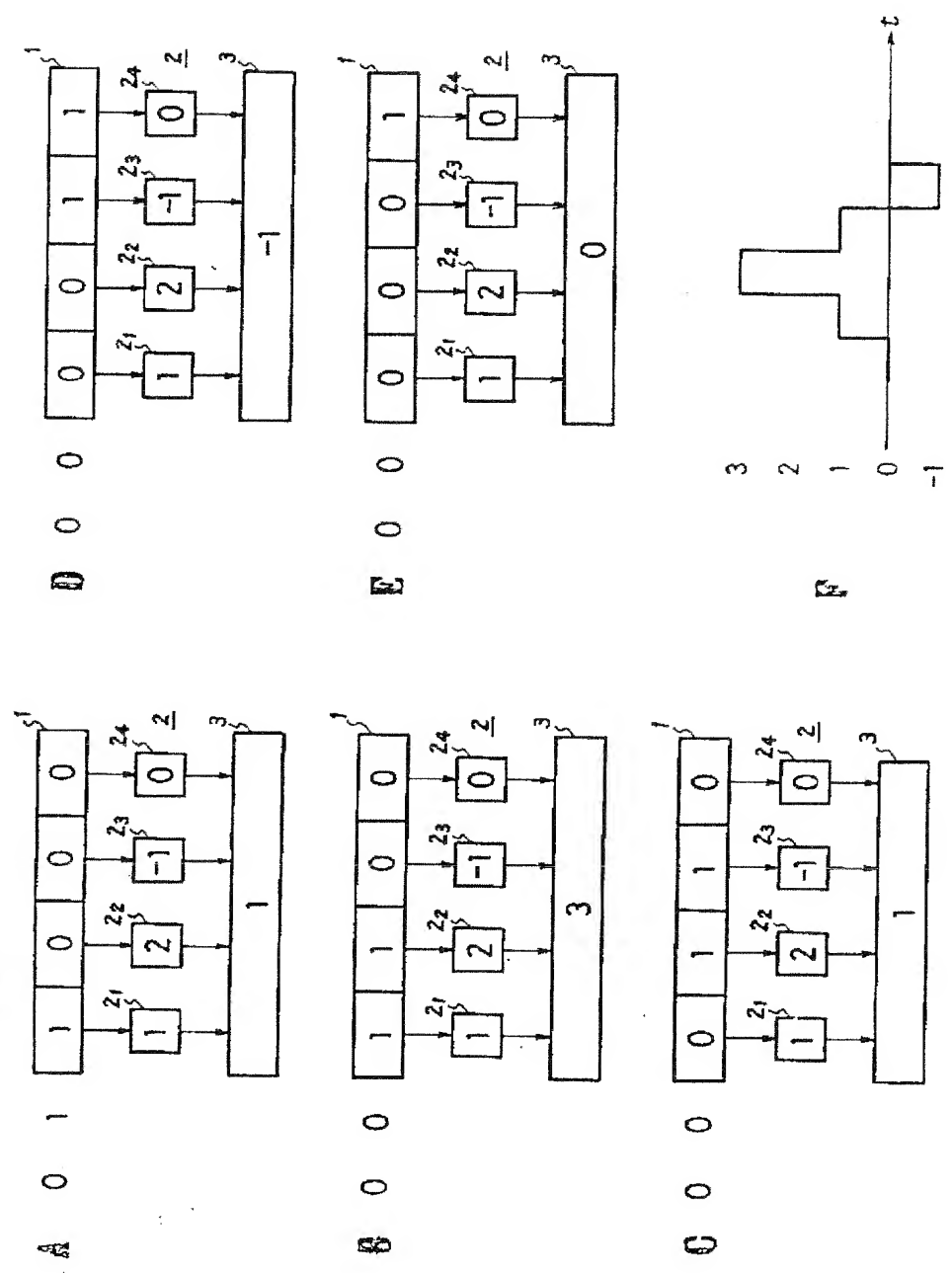
第1図はこの発明の一実施例を示すブロック図、第2図はこの発明による波形整形装置を適用した伝送系を示すブロック図、第3図は第1図の動作説明に供するための図、第4図は重み付け回路(2)の具体的回路の一例を示す接続図、第5図～9図はこの発明の説明に供するための図、第10図は2進数変換回路(4)の具体的回路の一例を示す接続図である。

(1)はシフトレジスタ、(2)は重み付け回路、(3)は加算回路、(4)は2進数変換回路である。

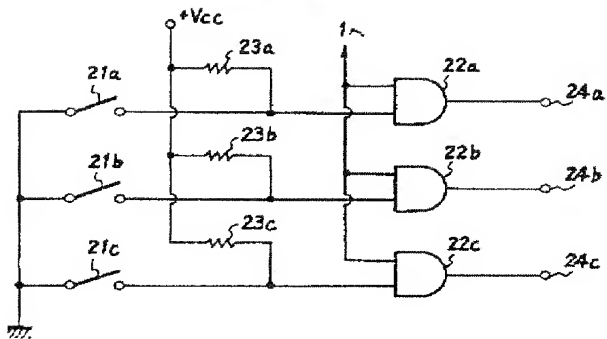
09



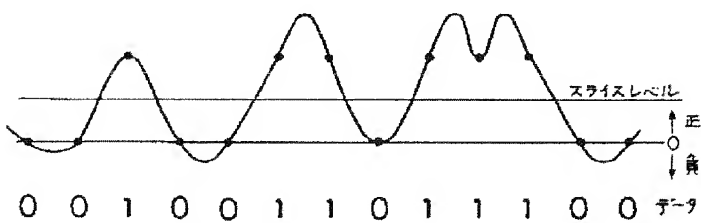
第 3 図



第 4 図



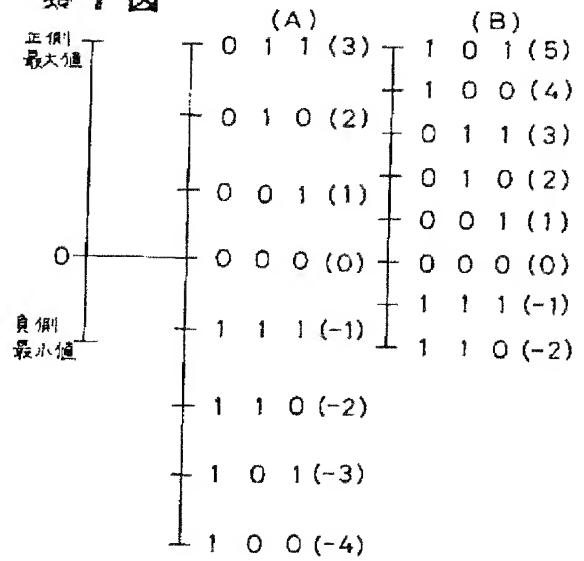
第 6 図



第 5 図

3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0
-1	1	1	1
-2	1	1	0
-3	1	0	1
-4	1	0	0

第 7 図



第 8 図

加算用2進数		自然2進数	2^{\prime}_S コンプリメント
1 0 1	⇒	1 1 1	0 1 1
1 0 0		1 1 0	0 1 0
0 1 1		1 0 1	0 0 1
0 1 0		1 0 0	0 0 0
0 0 1		0 1 1	1 1 1
0 0 0		0 1 0	1 1 0
1 1 1		0 0 1	1 0 1
1 1 0		0 0 0	1 0 0

第 9 図

加算用2進数		自然2進数	2^{\prime}_S コンプリメント
1 1 0 (6)	⇒	1 1 1	0 1 1
1 0 1 (5)		1 1 0	0 1 0
1 0 0 (4)		1 0 1	0 0 1
0 1 1 (3)		1 0 0	0 0 0
0 1 0 (2)		0 1 1	1 1 1
0 0 1 (1)		0 1 0	1 1 0
0 0 0 (0)		0 0 1	1 0 1
1 1 1 (-1)		0 0 0	1 0 0

第 10 図

